

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001358209 A

(43) Date of publication of application: 26.12.01

(51) Int. Cl.

H01L 21/76
H01L 21/265
H01L 21/316

(21) Application number: 2000178198

(71) Applicant: TOYOTA MOTOR CORP

(22) Date of filing: 14.06.00

(72) Inventor: ONISHI TORU

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

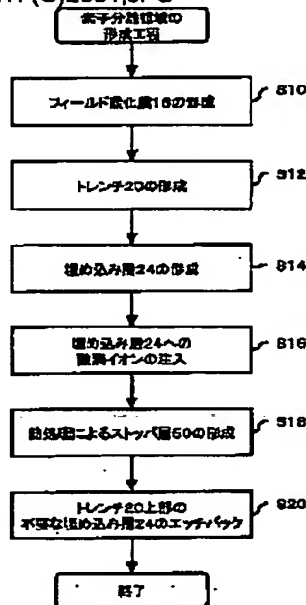
(57) Abstract

PROBLEM TO BE SOLVED: To provide a method for manufacturing for improving a flatness of a surface of a semiconductor substrate.

SOLUTION: The method for manufacturing a semiconductor device comprises the steps of implanting an oxygen ion at a predetermined position of an embedded layer made of a polysilicon as a material in a trench by using an ion implanting method (step S16), thereafter conducting a heat treatment (step S18), and forming a stopper layer made of a silicon dioxide in the embedded layer so that its upper surface becomes the same height as an upper surface of a field oxide film at a periphery of the trench. This stopper layer performs a role of an etching stopper when etching back the unnecessary embedded layer at the upper part of the trench (step S20), and hence a step between the stopper layer and the field oxide film is reduced

after the etching to improve the flatness of an element isolation region.

COPYRIGHT: (C)2001,JPO



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The embedding layer formation process which embeds at the trench prepared in the semiconductor substrate, and forms a layer, It is the manufacture approach of a semiconductor device equipped with the removal process which etches and removes the part from the front face of this embedding layer to predetermined thickness. The manufacture approach of the semiconductor device equipped with the stopper layer formation process which forms a stopper layer with an etch rate slower than the ingredient of said embedding layer in said etching to the part of said predetermined thickness of said embedding layer before said removal process.

[Claim 2] Said stopper layer formation process is the manufacture approach of the semiconductor device according to claim 1 which is the process formed as said stopper layer which consists of a compound of the ingredient of said embedding layer formed by pouring an impurity into the part of said predetermined thickness, and said impurity.

[Claim 3] It is the manufacture approach of a semiconductor device according to claim 1 or 2 that the ingredient of said embedding layer is polish recon, and said impurity is oxygen.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is embedded with the embedding layer formation process which embeds in detail about the manufacture approach of a semiconductor device at the trench prepared in the semi-conductor substrate, and forms a layer, and relates to the manufacture approach of a semiconductor device equipped with the removal process which etches and removes the part from the front face of a layer to predetermined thickness.

[0002]

[Description of the Prior Art] After embedding all over an inside of trench, and semi-conductor substrate front face and forming a layer somewhat thickly as the manufacture approach of this kind of semiconductor device conventionally, the thing using the etchback method which etched the whole semi-conductor substrate surface into homogeneity, and was formed in the unnecessary part and which embeds and removes a layer is proposed. When using the etchback method, in order to remove completely the unnecessary embedding layer formed in the semi-conductor substrate front face, over etching to etch [more] than the actual thickness of the embedding layer of a garbage is performed.

[0003]

[Problem(s) to be Solved by the Invention] However, since control of the amount of etching is difficult for over etching and it also etches more embedding layers of a required part, the surface smoothness of a semi-conductor substrate front face -- the height of the embedding layer formed in a trench, for example becomes lower than the height of a trench periphery -- may be spoiled. Consequently, micro processing of a semi-conductor substrate will become difficult.

[0004] The manufacture approach of the semiconductor device of this invention aims at raising the surface smoothness of a semi-conductor substrate front face.

[0005]

[The means for solving a technical problem, and its operation and effectiveness] The semi-conductor manufacture approach of this invention took the following means, in order to attain the above-mentioned purpose.

[0006] The embedding layer formation process which embeds the manufacture approach of the semiconductor device of this invention at the trench prepared in the semi-conductor substrate, and forms a layer, It is the manufacture approach of a semiconductor device equipped with the removal process which etches and removes the part from the front face of this embedding layer to predetermined thickness. Let it be a summary to have the stopper layer formation process which forms a stopper layer with an etch rate slower than the ingredient of said embedding layer in said etching to the part of said predetermined thickness of said embedding layer before said removal process.

[0007] By the manufacture approach of the semiconductor device of this invention, in etching, it can embed to the part of the predetermined thickness of an embedding layer, and the amount of etching can be controlled by the stopper layer with an etch rate slower than the ingredient of a layer. Consequently, the height of the embedding layer formed in the trench is doubled, the thing of it can be carried out to the height of a trench periphery, and the surface smoothness of a semi-conductor substrate front face can be raised.

[0008] In the manufacture approach of the semiconductor device of this this invention, said stopper layer formation process shall be a process which forms the stopper layer which pours an impurity into the part of said predetermined thickness, and consists of a compound of the ingredient of said embedding layer, and

said impurity. The formation location of a stopper layer can be easily decided according to the impregnation conditions of an impurity.

[0009] In the manufacture approach of the semiconductor device of this invention, the ingredient of said embedding layer shall be polish recon, and said impurity shall be oxygen. Consequently, the stopper layer where it embeds in etching and which an etch rate becomes from late diacid-ized silicon from the polish recon which is the ingredient of a layer can be formed.

[0010]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained using an example. Drawing 1 is process drawing showing the formation process of the component isolation region which separates between semiconductor devices electrically in the semiconductor device which is one example of this invention. First, the field oxide 16 which divides electrically between the semiconductor devices of the front face of the semi-conductor substrate 10 into the front face of a barrier layer 14 in which it is prepared on the embedding oxide film 12 of the semi-conductor substrate 10, and a semiconductor device is formed, and the SiN film 18 which protects the field oxide 16 of the component formation field where a semiconductor device is formed are formed (process S10). The sectional view of the component isolation region at the time of termination of a process S10 is shown in drawing 2.

[0011] Next, opening is formed in the resist of the part which applies a resist and forms the trench of a component isolation region using the photolithography method. And after performing dry etching and performing [field oxide 16] dry etching to a barrier layer 14 continuously, using this resist as a mask and forming a trench 20, a resist is removed, the wall of a trench 20 is oxidized and an oxide film 22 is formed (process S12). The sectional view of the component isolation region at the time of termination of a process S12 is shown in drawing 3.

[0012] Next, the embedding layer 24 made from polish recon is formed in a trench 20 (process S14). The sectional view of the component isolation region at the time of termination of a process S14 is shown in drawing 4.

[0013] And it embeds using ion-implantation from on the embedding layer 24, and embeds with the oxygen ion which poured oxygen ion into the position from the front face of a layer 24 (process S16), and was heat-treated and poured in in the oxidizing atmosphere, the polish recon of the ingredient of a layer 24 is combined, and the stopper layer 50 which consists of diacid-ized silicon is formed in the impregnation location A in drawing 4 (process S18). The conceptual diagram of signs that the oxygen ion implantation is performed is shown in drawing 5, and the sectional view of the component isolation region at the time of termination of a process S18 is shown in drawing 6. The oxide film 52 is formed in embedding layer 24 top face at this time. A formation location, thickness, etc. of the stopper layer 50 can be adjusted according to the conditions of the ion implantation in a process S16, or the heat treatment conditions in a process S18. The impregnation location of oxygen ion can be controlled by changing the acceleration energy of the ion to pour in easily (the broken line A in drawing 4), and the stopper layer 50 can be formed in a location where the level difference of the top face of the stopper layer 50 and the top face of the surrounding field oxide 16 of the stopper layer 50 becomes small. For example, the stopper layer 50 which consists of diacid-ized silicon of thickness 40 [nm] extent can be formed in the location of 600 [nm] extent from the front face of the embedding layer 24 by setting acceleration energy of oxygen ion to 360 [keV], setting a dose to 4×10^{17} [cm⁻²] for the ion implantation of a process S16, and considering heat treatment of a process S18 as heat treatment at 1350 degrees C whenever [desiccation O2 ambient-atmosphere moderate temperature] for about 4 hours. In addition, it embeds with the poured-in ion and a compound with the polish recon which is the ingredient of a layer chooses the nuclear species of the ion which a selection ratio with polish recon pours in so that it may become high in next etching. For example, in the etching process of a process S18, since the etching velocity ratio of polish recon and diacid-ized silicon becomes about : (polish recon) (diacid-ized silicon) = 2:1, since a selection ratio becomes about two, it can also use oxygen as impregnation ion.

[0014] Next, after removing an oxide film 52, wet etching is performed, etchback of the embedding layer 24 is carried out, and the SiN layer 18 is removed (process S20). The sectional view of the isolation region at the time of termination of a process S20 is shown in drawing 7. As for this wet etching, etching with a slower diacid-ized silicon etch rate is chosen from polish recon. Dry system etching of CDE (Chemical Dry Etching) using wet system etching using a potassium hydroxide, a FUTSU nitric acid, etc., 4 CFO2, etc. as such etching etc. can be used. When carrying out the dirty pack of the embedding layer 24, since the etch rate is slower than the embedding layer 24, the stopper layer 50 plays the role of an etching stopper. Since the top face of the stopper layer 50 is formed in the process S20 so that it may become the almost same

location as the top face of field oxide 16, after etching can lose most level differences of field oxide 16 and the stopper layer 50. Consequently, the surface smoothness of the front face of the semi-conductor substrate 10 improves.

[0015] As explained above, in the formation process of the component isolation region of the semiconductor device of this example, it is formed so that the top face of the stopper layer 50 may become the almost same location as the top face of field oxide 16, and since the stopper layer 50 plays the role of an etching stopper when carrying out etchback of the embedding layer 24, the surface smoothness of the front face of the semi-conductor substrate 10 can be raised.

[0016] By the manufacture approach of the semiconductor device of this example, although the formation process of a component isolation region was illustrated, it can apply to other processes using a trench, for example, can also use for the formation process of a trench gate electrode. At this time, an oxide film 50 is also removable.

[0017] By the manufacture approach of the semiconductor device of this example, although the stopper layer 50 was formed using ion-implantation, other approaches of forming the stopper layer 50 in the part of the predetermined depth in the embedding layer 24 can also be used.

[0018] As mentioned above, although the gestalt of operation of this invention was explained using the example, as for this invention, it is needless to say that it can carry out with the gestalt which becomes various within limits which are not limited to such an example at all and do not deviate from the summary of this invention.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the formation process of a component isolation region.

[Drawing 2] It is the sectional view of the component isolation region at the time of termination of a process S10.

[Drawing 3] It is the sectional view of the component isolation region at the time of termination of a process S12.

[Drawing 4] It is the sectional view of the component isolation region at the time of termination of a process S14.

[Drawing 5] It is the conceptual diagram of signs that the oxygen ion implantation is performed.

[Drawing 6] It is the sectional view of the component isolation region at the time of termination of a process S18.

[Drawing 7] It is the sectional view of the component isolation region at the time of termination of a process S20.

[Description of Notations]

20 A trench, 24 An embedding layer, 50 Stopper layer.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

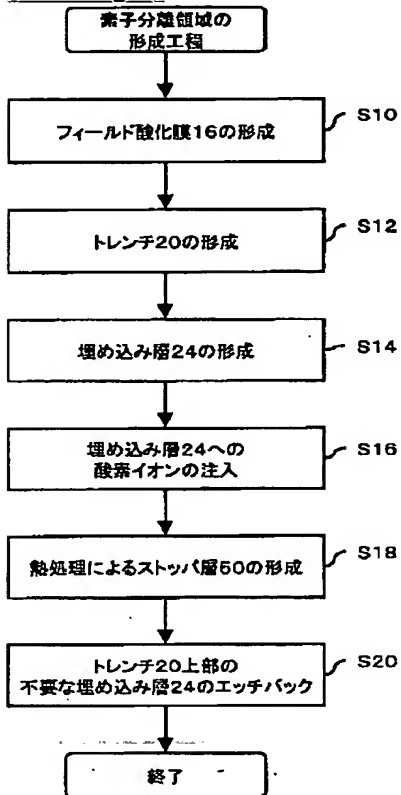
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.***** shows the word which can not be translated.

3.In the drawings, any words are not translated.

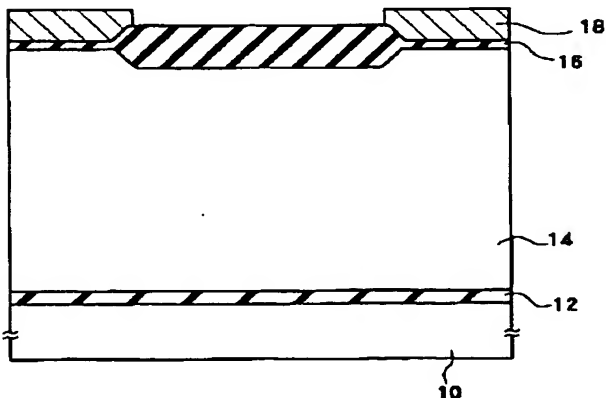
DRAWINGS

[Drawing 1]



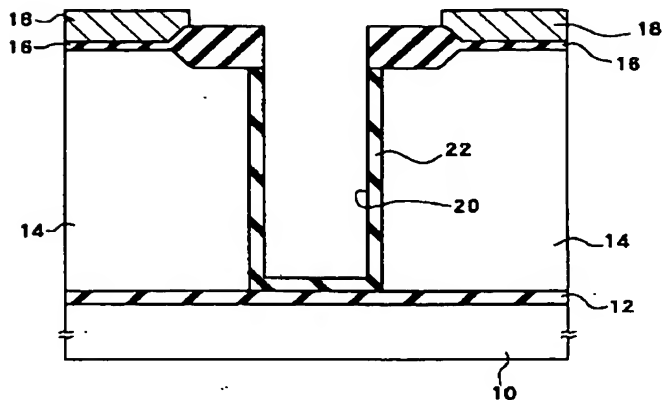
[Drawing 2]

←素子形成領域→ ←素子分離領域→ ←素子形成領域→

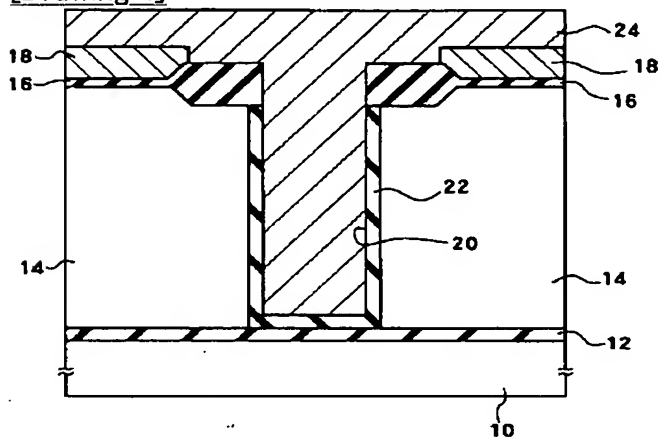


[Drawing 3]

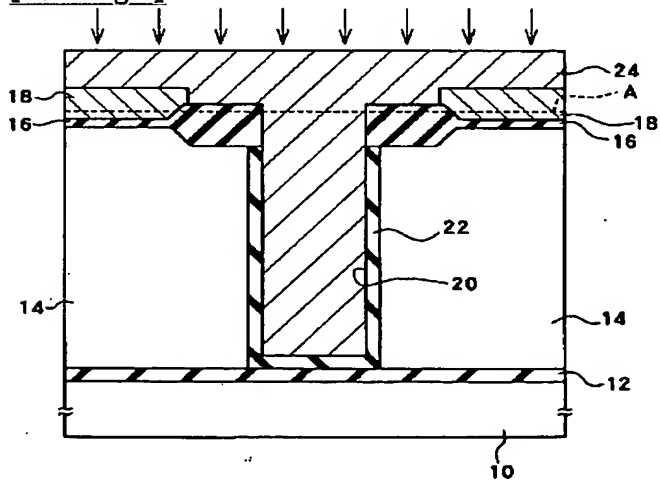
← 電子形成領域 → 電子分離領域 → 電子形成領域 →



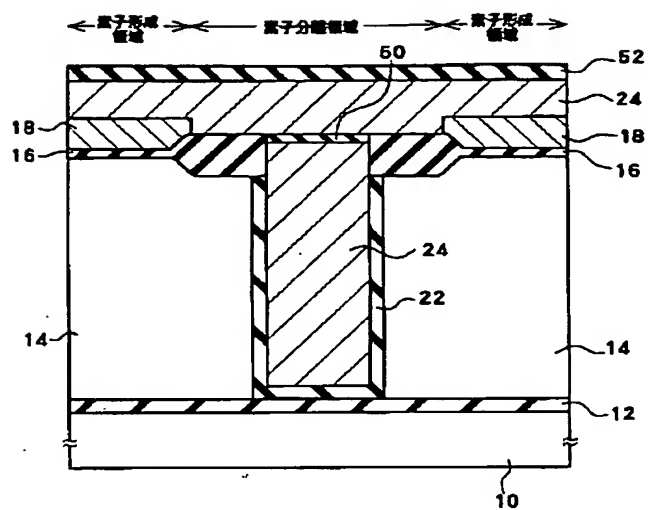
[Drawing 4]



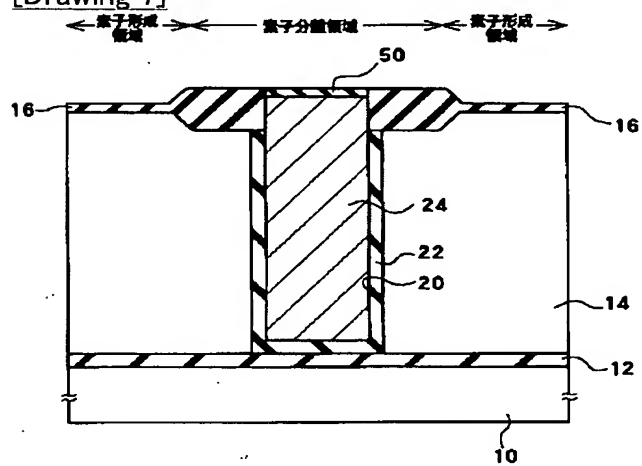
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-358209

(P2001-358209A)

(43)公開日 平成13年12月26日 (2001.12.26)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	21/76	H 0 1 L 21/316	A 5 F 0 3 2
	21/265	21/76	R 5 F 0 5 8
	21/316	21/265	J
			P
			W

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願2000-178198(P2000-178198)

(22)出願日 平成12年6月14日 (2000.6.14)

(71)出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72)発明者 大西 徹

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(74)代理人 100075258

弁理士 吉田 研二 (外2名)

Fターム(参考) 5F032 AA13 AA16 AA35 AA44 AA47

AA78 DA23 DA24 DA28 DA44

DA78

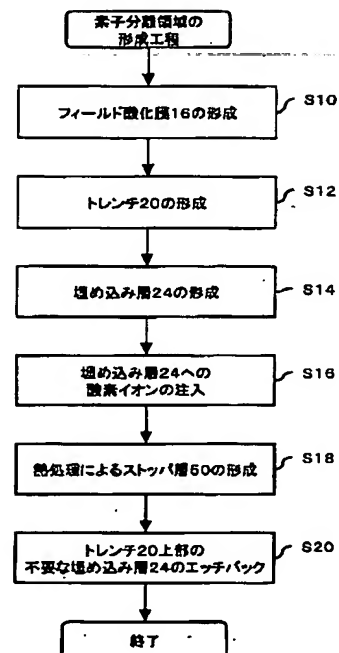
5F058 BA09 BA20 BC02 BF80 BH11

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】半導体基板表面の平坦性を向上させる製造方法を提供すること。

【解決手段】イオン注入法を用いてトレンチにポリシリコンを材料とする埋め込み層の所定位置に酸素イオンを注入し(工程S16)、その後熱処理を行ない(工程S18)、埋め込み層内に二酸化シリコンからなるストッパ層をその上面はトレンチ周辺部のフィールド酸化膜の上面と同じ高さになるよう形成する。このストッパ層はトレンチ上部の不要な埋め込み層をエッチングバックする際に(工程S20)エッチングストッパの役割を果たすので、エッチング後にストッパ層とフィールド酸化膜との段差が少なくなり素子分離領域の平坦性が向上する。



【特許請求の範囲】

【請求項1】 半導体基板に設けられたトレンチに埋め込み層を形成する埋め込み層形成工程と、該埋め込み層の表面から所定の厚さまでの部位をエッチングして除去する除去工程とを備える半導体装置の製造方法であって、

前記除去工程の前に、前記埋め込み層の前記所定の厚さの部位に前記エッチングにおいて前記埋め込み層の材料よりエッチング速度が遅いストッパ層を形成するストッパ層形成工程を備える半導体装置の製造方法。

【請求項2】 前記ストッパ層形成工程は、前記所定の厚さの部位に不純物を注入することにより形成される前記埋め込み層の材料と前記不純物との化合物からなる前記ストッパ層として形成する工程である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記埋め込み層の材料はポリシリコンであり、前記不純物は酸素である請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくは、半導体基板に設けられたトレンチに埋め込み層を形成する埋め込み層形成工程と埋め込み層の表面から所定の厚さまでの部位をエッチングして除去する除去工程とを備える半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、この種の半導体装置の製造方法としては、トレンチ内および半導体基板表面全面に埋め込み層をある程度厚く形成した後、半導体基板全面を均一にエッチングし不要な箇所に形成した埋め込み層を除去するエッチバック法を用いたものが提案されている。エッチバック法を用いる場合、半導体基板表面に形成された不要な埋め込み層を完全に除去するために、不要部分の埋め込み層の実際の厚さより多くエッチングするオーバーエッチングが行なわれる。

【0003】

【発明が解決しようとする課題】しかしながら、オーバーエッチングは、エッチング量の制御が難しく、必要な箇所の埋め込み層も多めにエッチングしてしまうから、例えばトレンチに形成される埋め込み層の高さがトレンチ周辺部の高さより低くなるなど、半導体基板表面の平坦性が損なわれる場合がある。この結果、半導体基板の微細加工が難しくなってしまう。

【0004】本発明の半導体装置の製造方法は、半導体基板表面の平坦性を高めることを目的とする。

【0005】

【課題を解決するための手段およびその作用・効果】本発明の半導体製造方法は、上述の目的を達成するために以下の手段を採った。

【0006】本発明の半導体装置の製造方法は、半導体基板に設けられたトレンチに埋め込み層を形成する埋め込み層形成工程と、該埋め込み層の表面から所定の厚さまでの部位をエッチングして除去する除去工程とを備える半導体装置の製造方法であって、前記除去工程の前に、前記埋め込み層の前記所定の厚さの部位に前記エッチングにおいて前記埋め込み層の材料よりエッチング速度が遅いストッパ層を形成するストッパ層形成工程を備えることを要旨とする。

10 【0007】本発明の半導体装置の製造方法では、埋め込み層の所定の厚さの部位にエッチングにおいて埋め込み層の材料よりエッチング速度が遅いストッパ層で、エッチング量を制御することができる。この結果、トレンチに形成された埋め込み層の高さをトレンチ周辺部の高さに合わせることができ、半導体基板表面の平坦性を向上させることができる。

【0008】この本発明の半導体装置の製造方法において、前記ストッパ層形成工程は、前記所定の厚さの部位に不純物を注入し、前記埋め込み層の材料と前記不純物との化合物からなるストッパ層を形成する工程であるものとすることもできる。ストッパ層の形成位置は不純物の注入条件により容易に決めることができる。

【0009】この本発明の半導体装置の製造方法において、前記埋め込み層の材料はポリシリコンであり、前記不純物は酸素であるものとすることもできる。この結果、エッチングにおいて埋め込み層の材料であるポリシリコンよりエッチング速度が遅い二酸化シリコンからなるストッパ層を形成することができる。

【0010】

30 【発明の実施の形態】次に、本発明の実施の形態を実施例を用いて説明する。図1は、本発明の一実施例である半導体装置において半導体素子間を電気的に分離する素子分離領域の形成工程を示す工程図である。まず、半導体基板10の埋め込み酸化膜12上に設けられ半導体素子が形成される活性層14の表面に半導体基板10の表面の半導体素子間を電気的に分離するフィールド酸化膜16と、半導体素子が形成される素子形成領域のフィールド酸化膜16を保護するSiN膜18とを形成する（工程S10）。工程S10の終了時における素子分離領域の断面図を図2に示す。

【0011】次に、レジストを塗布しフォトリソグラフィ法を用いて素子分離領域のトレンチを形成する部位のレジストに開口部を形成する。そして、このレジストをマスクとしてフィールド酸化膜16にドライエッチングを行ない、続いて活性層14にドライエッチングを行ないトレンチ20を形成した後、レジストを除去しトレンチ20の内壁を酸化し酸化膜22を形成する（工程S12）。工程S12の終了時における素子分離領域の断面図を図3に示す。

50 【0012】次に、トレンチ20内にポリシリコンを材

料とする埋め込み層24を形成する(工程S14)。工程S14の終了時における素子分離領域の断面図を図4に示す。

【0013】そして、埋め込み層24上からイオン注入法を用いて埋め込み層24の表面から所定の位置に酸素イオンを注入し(工程S16)、酸化雰囲気中で熱処理を行ない注入した酸素イオンと埋め込み層24の材料のポリシリコンを化合させ、図4中の注入位置Aに二酸化シリコンからなるストッパ層50を形成する(工程S18)。酸素イオン注入を行なっている様子の概念図を図5に示し、工程S18の終了時における素子分離領域の断面図を図6に示す。このとき、埋め込み層24上面に酸化膜52が形成されている。ストッパ層50の形成位置や厚さなどは、工程S16におけるイオン注入の条件や工程S18における熱処理条件によって調節することができる。注入するイオンの加速エネルギーを変えることで酸素イオンの注入位置を(図4中の破線A)容易に制御することができ、ストッパ層50の上面とストッパ層50の周辺のフィールド酸化膜16の上面との段差が小さくなるような位置にストッパ層50を形成することができる。例えば、工程S16のイオン注入を酸素イオンの加速エネルギーを360[k e V]、ドーズ量を 4×10^{17} [cm⁻²]とし、工程S18の熱処理を乾燥O₂雰囲気中温度1350℃で4時間程度熱処理とすることで、埋め込み層24の表面から600[nm]程度の位置に厚さ40[nm]程度の二酸化シリコンからなるストッパ層50を形成することができる。尚、注入したイオンと埋め込み層の材料であるポリシリコンとの化合物が後のエッチングにおいてポリシリコンとの選択比が高くなるよう、注入するイオンの核種を選択する。例えば、工程S18のエッチング工程において、ポリシリコンと二酸化シリコンとのエッチング速度比は(ポリシリコン) : (二酸化シリコン) = 2 : 1程度となるので、選択比は2程度となるので酸素を注入イオンとすることもできる。

【0014】次に、酸化膜52を除去した後、ウェットエッチングを行ない埋め込み層24をエッチバックしSiN層18を除去する(工程S20)。工程S20の終了時における分離領域の断面図を図7に示す。このウェットエッチングは、ポリシリコンより二酸化シリコンのほうがエッチング速度が遅いエッチングが選択される。このようなエッチングとして、例えば、水酸化カリウムやフッ硝酸などを用いたウェット系エッチングや、CF₄やO₂などを用いたCDE (Chemical Dry Etching) 等のドライ系エッチングを使用することができる。埋め込み層24をエッチバックするとき、ストッパ層50は埋

め込み層24よりエッチング速度が遅いのでエッチングストッパの役割を果たす。工程S20においてストッパ層50の上面はフィールド酸化膜16の上面とほぼ同じ位置になるように形成されているので、エッチング後はフィールド酸化膜16とストッパ層50との段差はほとんど無くすることができる。この結果、半導体基板10の表面の平坦性が向上する。

【0015】以上説明したように、本実施例の半導体装置の素子分離領域の形成工程では、ストッパ層50の上面がフィールド酸化膜16の上面とほぼ同じ位置になるように形成されており、ストッパ層50は埋め込み層24をエッチバックするときにエッチングストッパの役割を果たすので、半導体基板10の表面の平坦性を向上させることができる。

【0016】本実施例の半導体装置の製造方法では、素子分離領域の形成工程を例示したが、トレンチを用いた他の工程にも適用することができ、例えばトレンチゲート電極の形成工程に用いることもできる。このとき、酸化膜50は除去することもできる。

【0017】本実施例の半導体装置の製造方法では、イオン注入法を用いてストッパ層50を形成したが、埋め込み層24内の所定の深さの部位にストッパ層50を形成できる他の方法も用いることもできる。

【0018】以上、本発明の実施の形態について実施例を用いて説明したが、本発明はこうした実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において、種々なる形態で実施し得ることは勿論である。

【図面の簡単な説明】

【図1】 素子分離領域の形成工程を示す図である

【図2】 工程S10の終了時における素子分離領域の断面図である。

【図3】 工程S12の終了時における素子分離領域の断面図である。

【図4】 工程S14の終了時における素子分離領域の断面図である。

【図5】 酸素イオン注入を行なっている様子の概念図である。

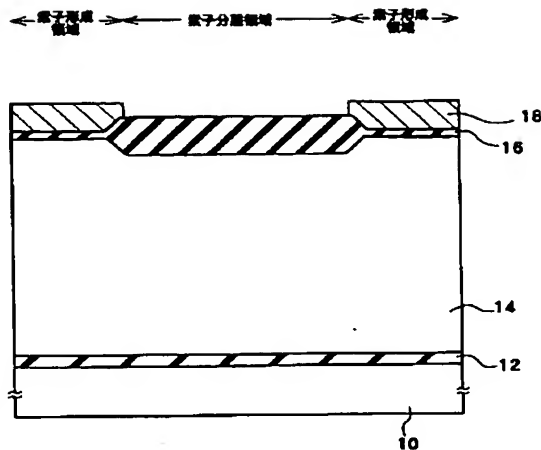
【図6】 工程S18の終了時における素子分離領域の断面図である。

【図7】 工程S20の終了時における素子分離領域の断面図である。

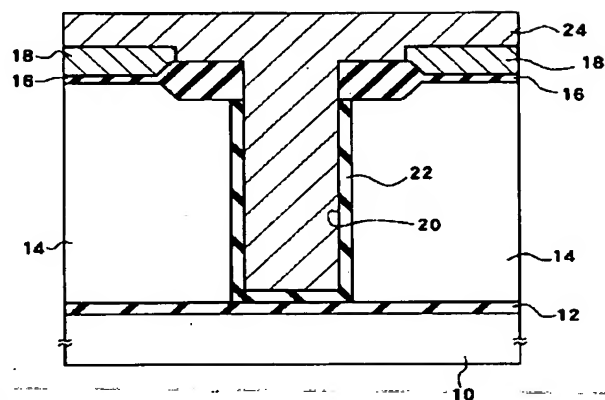
【符号の説明】

20 トレンチ、24 埋め込み層、50 ストッパ層。

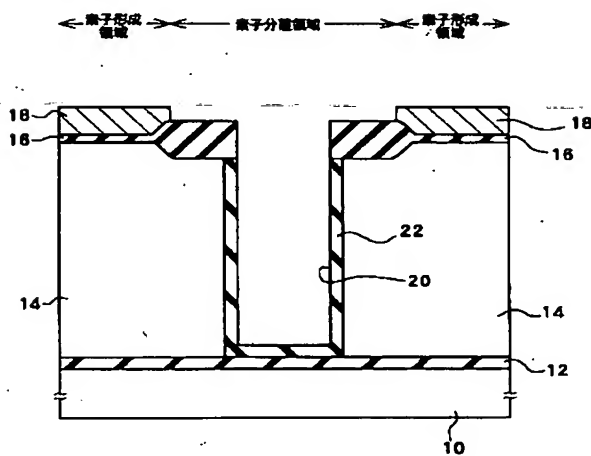
【図 2】



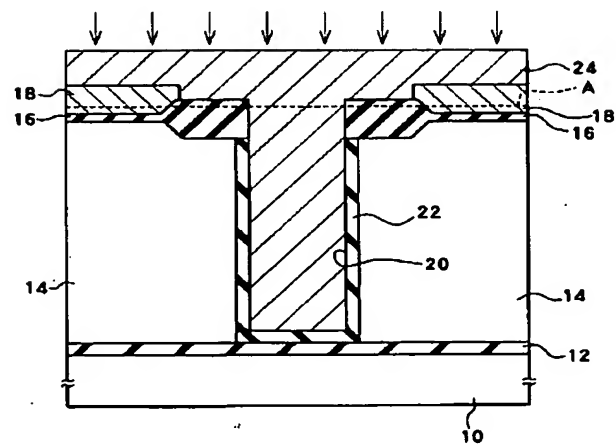
【圖 4】



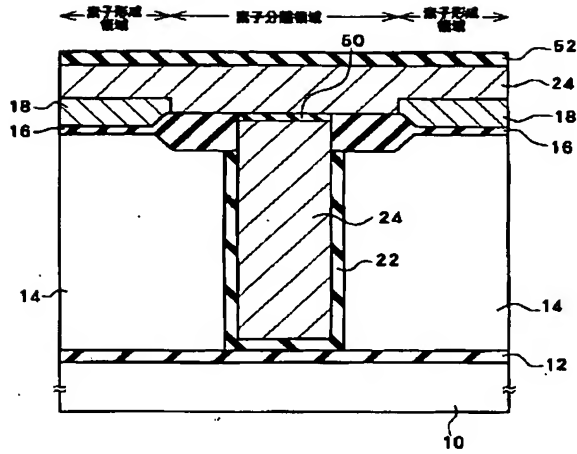
【圖 3】



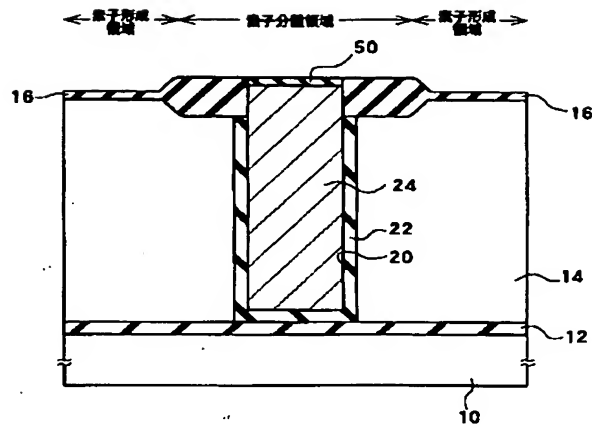
【圖 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 21/76

テ-マ-ド (参考)

M
L